

특1995-0002169

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
H01L 21/00

(45) 공고일자 1995년03월14일
(11) 공고번호 특1995-0002169

(21) 출원번호	특1991-0002224	(65) 공개번호	특1991-0016047
(22) 출원일자	1991년02월09일	(43) 공개일자	1991년09월30일
(30) 우선권주장	2-32689 1990년02월14일 일본 (JP)		
(71) 출원인	가부시카가이샤 도시바 마오이 조이치		
	일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지		

(72) 발명자 스구로 교이치
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시카
가이샤 도시바 종합연구소내
오카노 하루오
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시카
가이샤 도시바 종합연구소내
(74) 대리인 김윤배, 이범일

심사관 : 김승조 (특허공보 제3393호)

(54) 반도체장치 및 그 제조방법

요약

내용 없음.

도표도

도1

공제서

[발명의 명칭]

반도체장치 및 그 제조방법.

[도면의 간단한 설명]

제 1 도는 본 발명의 제 1 실시예에 따른 반도체장치(다층배선구조)의 개략적인 구성을 나타낸 단면도.

제 2 도 및 제2-1도는 상기 장치의 제조공정을 나타낸 단면도.

제 3 도는 배선패턴형상을 나타낸 사시도.

제 4 도는 소자형성영역상의 배선편상을 나타낸 평면도.

제 5 도는 본 발명의 제 2 실시예에 따른 MOSFET의 개략구성을 나타낸 단면도.

제 6 도는 본 발명의 제 3 실시예를 설명하기 위한 것으로, CMOS트랜지스터 제조공정을 나타낸 단면도.

제 7 도 및 제 8 도는 본 발명의 제 4 실시예를 설명하기 위한 것으로, SiO₂표면결정화 공정을 나타낸 단
면도.

제 9 도는 종래 MOSFET제조공정을 나타낸 단면도이다.

* 도면의 주요부분에 대한 부호의 설명

10, 60, 81, 90 : 반도체기판 11, 14, 16, 18, 21, 23 : SiO₂막(절연막)

13, 17, 22 : 금속매립층형배선 15,19,24 : Cu막(저저항배선)

41, 43, 46 : 배선패턴 42,44,45 : 콘택트홀

40 : 소자형성영역 50 : 반도체기판

51 : 소자분리용 절연막 52 : 게이트산화막

53 : 게이트전극 54 : 캡층 절연막

55 : 불순물확산층 56 : 고농도불순물확산층
57 : 측벽절연막 59 : 금속살리사이드

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 서브미크론척수의 트랜지스터나 다층배선등을 실현하는 반도체기술에 관한 것으로, 특히 자기장합기술을 이용한 반도체장치 및 그 제조방법에 관한 것이다.

[종래의 기술 및 그 문제점]

최근, 컴퓨터나 통신기기의 중요한 부분에는 다수의 트랜지스터나 저항등을 1칩상을 집적화해서 형성한 대규모집적회로(LSI)가 이용되고 있는 바, 이 LSI단체(單體)의 성능향상이 기기전체의 고성능화 달성의 키포인트로 되고 있다. 이 때문에 LSI의 기본소자를 구성하는 반도체장치, 예컨대 전계효과트랜지스터의 고성능화가 중요하다.

또, 메모리나 논리소자의 집적화는 3년마다 4배로 증가하는 추세로 되어 디바이스척수는 서브미크론의 시대로 들어갔다. 현재 디바이스척수가 0.8 μ m인 4메비트 DRAM이 양산되고 있고, 0.3-0.6 μ m척수의 디바이스가 연구개발단계에 있다.

그러나, 덤서브미크론척수의 미세소자를 형성할 경우, 다음과 같은 5가지 점이 문제로 된다.

- (1) 리소그래피기술
- (2) 산화기술(소자분리기술)
- (3) 확산기술(MOSFET의 소오스·드레인, 트랜지스터측벽, 바이폴라트랜지스터의 에미터·베이스·콜렉터형성)
- (4) 평탄화기술(금속매립, 절연막형성, 평탄화)
- (5) 배선가공기술(새로운 재료, 고선택비예칭)

다음에 이들 문제를 구체적으로 설명한다.

(1) 리소그래피기술

디바이스척수가 0.2 μ m 정도의 척수로 되면, 요구되는 일치정밀도는 10-20nm로 대단히 엄밀하게 되어 리소그래피의 물리적 한계에 가까워지게 된다. 예컨대, 콘택트홀과 배선의 일치여유를 충분히 확보하면, 인접하는 배선간의 공간이 콘택트홀의 간격으로 제한된다.

제 4 도 b에 나타낸 바와 같이, 콘택트(42, 44, 45)에 대해 일치여유를 갖춘 배선 패턴(41, 43, 46)을 형성한 경우, 인접하는 배선간의 최소공간의 콘택트의 부분에서 협소해지게 되고, 예칭잔사(etching 殘渣)에 기인하는 쇼트가 발생되기 쉬워지게 되어 배선간 용량의 증대를 초래하게 된다. 또, 콘택트개구부(44, 45)는 마스크정합의 오차를 예상해서 소자형성영역(40)에 대해 일치여유를 갖추고서 형성할 필요가 있다.

따라서 정합의 오차가 없으면, 소자형성영역폭과 콘택트개구폭 및 배선폭을 동일하게 할 수 있어 배선간 공간이 극소적으로 좁아지는 것 없이 배선간 용량의 절감화에 유효하다. 또, 배선간 용량이 문제로 되지 않는 영역에서는 공간을 감축하는 것도 가능하게 되어 셀척수가 작아지게 되어 보다 고밀도의 소자집적화가 가능하게 된다. 그러나 지금까지 그 구체적인 제조방법에 대해서는 제안되어 있지 않고 있다.

(2) 산화기술(소자분리기술)

소자의 미세화가 진행되면, 소자분리의 폭도 작아지는 것이 필요로 되는 바, 종래 locos법에서는 잘 알려져 있는 바와 같이 버즈빅(bird's beak)의 존재로 인해 분리영역의 산화막으로부터 소자폭에 산화막의 도출성장이 야기된다. 이는 소자 영역이 절화막마스크로 덮여 있는 것에 무관하게 산화제가 마스크 아래로 도출되기 때문에 산화속도가 지연되는 산화가 진행되기 때문이다.

이를 개선하기 위해 예컨대 절화막과 버퍼산화막사이에 다결정Si를 개재시킴으로서 버즈빅을 감소시키는 시험이 행해지고 있으나, 그 근본적인 대책이 전혀 없고, 방향성 산화라는 산화방법이 요구된다.

(3) 확산기술

서브미크론척수의 미세소자, 예컨대 서브미크론척수의 미세전계효과트랜지스터(FET)는 소오스·드레인 영역등의 잔여 확산층을 갖추고 있지만, 0.5 μ m 세대에 필요한 접합깊이는 0.15-0.2 μ m로 되고, 또 0.2 μ m 세대에 필요한 접합깊이는 0.1 μ m 이하가 필수적으로 되어 보다 고정밀도의 확산기술이 필요로 된다.

잔여 확산층의 형성방법으로서 종래보다 저가속이온주입법이 널리 이용되고, 최근에는 As유리로부터의 불순물고상확산법(不純物固相擴散法)이 이용되고 있다. 이 고상확산법에 의해 0.1 μ m 정도의 잔여 소오스·드레인영역을 형성할 수 있고, n⁺/p접합에 관해서는 0.1 μ m 정도의 깊이를 실현할 수 있게 된다. 또, p⁺/n접합에 관해서는 Si⁺, Ge⁺, Sn⁺이온주입으로 Si단결정의 표면층을 비정질화한 후에 저가속의 BF₃주입을 수행하는 방법을 이용해서 활성화의 열처리를 수행한 후에도 0.1 μ m 정도의 깊이를 달성할 수 있게 된다.

그러나 한편으로는 0.1 μ m 정도의 확산층은 저항이 높아 100 Ω /? μ m의 시트저항으로 되어 버린다. 반도체소자의 고속화를 위해서는 확산층표면을 금속화합으로써 저저항화 필요성이 요구되는 바, 최근 살리사이드(self-aligned silicide)로 불리워지는 선택적인 살리사이드화를 수행하는 방법이 검토되고 있다.

여기서, 제 9 도를 이용해서 0.2 μ m 이하의 잔여 pn접합상에 살리사이드를 형성한 종래예에 대해 설명한다.

제 9 도a에 있어서, Si[100]기판(90)상에 필드산화막(91)과 게이트절연막(92)을 열산화에 의해 형성하고, 게이트전극(93; 93', 93'')과 절연막(94) 및 측벽절연막(95)을 형성하며, 기판 전체면에 Ti 또는 Co막으로 이루어진 금속막(96)을 퇴적한다. 이어 램프어닐에 의해 Si상에만 실리사이드를 형성하고, 미반응의 금속막을 에칭제거하여 제 9 도b에 나타난 바와 같이 Si상에만 선택적으로 실리사이드(97)를 남겨 설치한다.

이어 제 9 도c에 나타난 바와 같이, 기판과 도전층이 다른 도전층의 불순물이온(98)을 이온주입해서 제 9 도d에 나타난 바와 같이 실리사이드 아래에 확산층(99)을 형성한다. 이 방법을 이용하면, 예컨대 50nm의 실리사이드를 형성함으로써 3-5 Ω / \square 의 시이트저항으로 절감할 수 있게 된다.

그러나 이와 같은 방법으로 다음과 같은 문제가 있다. 즉, Si표면의 자연산화막이나 드라미에칭 등에 의한 표면오염층이 존재하면, 금속과 Si의 균일반응이 곤란하여 불균일한 경계구조가 경계면에 형성되는 바, 이 경우 국소적으로 전계집중이 야기되어 pn접합누설전류가 증대하는 등, pn접합과파괴가 야기된다. 이 때문에 0.1 μ m 및 그 이하의 길이의 pn접합형성은 이 방법으로는 대단히 곤란하다. 또, 0.3 μ m 첫수미하의 미세트렌지스터에 대해서는 합계 0.1 μ m의 두께 또는 그 이하의 두께가 요구된다. 이 때문에 전체 두께를 얇게 해서 그 아래로 수nm의 확산층을 형성할 필요가 있다. 여기서 실리사이드를 박막화하면, 소오스·드레인의 저항이 증대되고, 동시에 확산층이 50nm 이하로 되면, pn접합특성에 열화가 발생된다.

접합열화의 이유로서 금속화합물로부터의 금속확산에 의한 BR중심이 접합특성에 영향을 미치는 접합누설전류가 증대해서 최초로 확산층두께의 영역으로 들어가는 점과, 확산층이 얇게 되면 실리사이드/Si경계면의 \square 를 반영한 확산층형상으로 되기 때문에 전계집중이 일어나기 쉽다는 점을 들 수 있다.

상기와 같은 실리사이드형성에 따라 Si기판의 침식을 없게 하기 위해 Si막을 소오스·드레인상에 선택적으로 성장시켜 높은 후에 통상의 실리사이드공정을 이용하는 방법이 있다.

그러나 선택성장되는 Si의 두께상태로 도우핀이 불완전하게 되기 때문에 소오스·드레인 불순물확산층이 원래의 기판표면까지 도달되지 않아 소오스·드레인으로서의 기능을 달성하지 못한다.

따라서, Si기판침식이 없으면서 저저항의 금속화합물 실리사이드를 부착하고, 그 아래에 고농도의 불순물 확산층을 형성하는 것이 0.1 μ m 이하의 사로정선형성에 필요로 된다.

(4) 평탄화 기술

다층배선을 형성하는 데에는 배선층이 쌓여감에 따라 \square 가 증대하기 때문에 콘택트홀이나 비어(via)홀의 패팅플렉형성기술, 단차피복성(單差披覆性)이 우수한 SiO₂막 형성기술이 필요로 되고, 더욱이 저저항의 고 신뢰성배선이 필수불가결한 것으로 된다.

다층배선기술에 있어서 중요한 기술의 하나인 절연막형성기술에 대해, 그 현상에서의 문제점을 설명한다.

최근 배선층간 절연막으로서의 SiH₄계 플라즈마CVD보다 단차피복성이 양호한 플라즈마 TEOS-CVD가 일반적이지만, 배선간 공간의 매스펙트비가 10이상으로 되면, 단차피복성이 100%로 되지 않기 때문에 공간 각벽이 소정의 퇴적형상으로 되어 버린다. 단차피복성이 나쁜 원인은 공간부에 대해 반응가스와 생성가스의 교환이 충분하지 않고, \square 부에 대한 반응가스의 농도에 있어서, 평탄부가 \square 부에 비해 감소됨으로써 SiO₂의 성장 속도정속과정이 표면에서의 반응정속모드가 아니고, 반응가스의 공급 또는 확산정속모드로 되기 때문이다.

플라즈마TEOS막의 단차피복성이나 표면형상을 개선하기 위해 이온을 첨가하거나 300-350°C부근의 온도 범위를 선택하는 것이 있지만, 이것도 근본적인 대책으로는 될 수 없다. 따라서 덤스트리크론영역의 디바이스에는 새로운 산화막의 퇴적방법이 필요로 된다.

(5) 배선가공기술

다층배선기술에 금속 문제가 현저히 나타나는 것을 여러가지의 금속패턴형성이다. W(텅스텐)배선가공에서는, 예컨대 게이트산화막상에 고선택비의 에칭을 선택하는 것이 곤란한 바, 그 이유는 SiO₂와의 고선택비에 \square 가 용이한 C계 에칭에서의 \square 의 증기압이 낮기 때문에 충분한 에칭속도가 얻어지지 않기 때문이다. 그 결과 SiO₂와의 선택비가 저하되어 겨우 7-8정도 된다. 따라서, 5nm의 SiO₂상에서 200nm의 W를 에칭가공할 경우, 저스트에칭에 30% 오버에칭을 수행하면, 소오스·드레인상의 5nm의 SiO₂막은 모두 에칭제거되고, 그 아래의 Si기판에서 에칭되어 버린다. SF₆ 등 F계의 가스는 W의 불화물인 WF₆의 증기압이 대단히 높기 때문에 W의 고속에칭이 가능하지만, SiO₂와의 선택부비를 7 이상으로 향상시키는 것이 곤란하다. 따라서 W의 미세배선패턴형성은 극히 곤란하게 된다.

Al(2.5-3 μ Ω cm)보다 저저항의 Cu(1.68 μ Ω cm)의 에칭에 미러러서는 점점 곤란하게 되고, 300-350°C 정도로 가열하지 않으면, 가장 증기압이 높은 Cu염화물까지도 증발되지 않는다. 이와 같은 고온에칭을 발생시키는 문제는 2가지가 있다. 그 하나는 C의 에칭마스크에서 그와 같은 고온C₂(BCl₃)분위기에서 견딜 수 있는 것이 적은 마스크의 개발이 필요한 것이다. 또 하나의 에칭실내에 저온부가 노출되어 있으면, 웨이퍼로부터 증발된 Cu염화물이 용속되어 입자의 발생원으로 되는 것이다. 따라서, 가공을 수행하지 않는 금속 배선패턴의 형성기술개발이 필요하게 된다.

이와 같이 종래의 프로세스기술을 이용하는 한, 소자분리를 최초로 도출없이 여러가지의 패턴, 예컨대 잔여 pn접합영역과, 소오스·드레인의 실리사이드부착영역, 금속 및 금속/폴리Si 게이트, 저저항배선 및 다층배선등의 일련의 미세한 패턴을 형성하는 것이 극히 곤란하다. 또, 도출없는 패턴의 형성시 리소그래피에 있어서 입자정밀도는 물리적 한계 이하의 정밀도가 요구되고, 에칭에 있어서 고정밀 가공이 요구되는 경우에는 재료선택을 현저하게 좁히는 것으로 된다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명한 것으로, 마스크일치여유나 금속에칭기술에 의지하는 것 없이 배선

또는 절연막을 자기정합적인 프로세스(self-aligned process)를 이용해서 형성할 수 있고, 도출이 없는 미세 패턴을 갖춘 반도체장치 및 그 제조방법을 제공함에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위한 본 발명은, 기판상에 개구부를 갖춘 제 1 절연층을 형성하는 공정과, 상기 개구부내에 선택적으로 도전층을 형성하는 공정, 상기 제 1 절연층상에 선택적으로 제 2 절연층을 형성하는 공정, 상기 제 2 절연층은 패터닝하는 공정 및 패터닝에 의해 형성된 제 2 절연층의 개구부에 상기 도전층과 전기적으로 접속되는 내부배선층을 형성하는 공정을 구비하여 이루어진 것을 특징으로 한다.

또 본 발명은, 기판상에 복수의 개구부를 갖춘 제 1 절연층을 형성하는 공정과, 상기 개구부내에 선택적으로 도전층을 형성하는 공정, 상기 도전층중 그 위에 내부 배선층이 형성되어야 하는 곳 이외의 도전층 표면을 절연화하는 공정, 상기 제 1 절연층상 및 표면이 절연화된 도전층상에 선택적으로 제 2 절연층을 형성하는 공정, 상기 제 2 절연층을 패터닝하는 공정 및, 패터닝에 의해 형성된 제 2 절연층의 개구부에 상기 표면이 절연화되어 있지 않은 도전층과 전기적으로 접속되는 내부배선층을 형성하는 공정을 구비하여 이루어진 것을 특징으로 한다.

또 본 발명은, 기판상에 개구부를 갖춘 제 1 절연층을 형성하는 공정과, 상기 개구부내에 선택적으로 제 1 도전층을 형성하는 공정, 상기 제 1 절연층상에 선택적으로 제 2 절연층을 형성하는 공정, 상기 제 2 절연층을 패터닝하는 공정 및, 방향성CVD법에 의해 상기 제 1 절연층 및 제 2 절연층의 상면에 각각 제 2 도전층 및 제 3 도전층을 형성하는 공정을 구비하여 이루어진 것을 특징으로 한다.

[실시예]

이하, 예시도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.

제 1 도는 본 발명의 제 1 실시예에 따른 반도체장치(다층배선구조)의 개략구성을 나타낸 단면도로서, 반도체기판(10)상에 형성된 제 1 절연막(11)의 개구부에 Si가 침식되지 않은 금속살리사이드(12)가 형성되고, 그 위에 제 1 금속층형배선(13)이 형성되어 있다. 이를 상에 제 2 절연막(14)이 형성되고, 이 절연막(14)의 개구부에 저저항인, 예컨대 Cu배선(15)이 형성되어 있다. 그리고, 그 위에 제 3 절연막(16)이 형성되고, 이 절연막(16)의 개구부에 제 2 금속매립층형배선(17)이 형성되어 있다. 또, 이를 상에 제 4 절연막(18)이 형성되고, 이 절연막(18)을 제거한 부분에 2층째의 저저항 배선(19)이 형성되어 있다.

또, 이 위에는 상기 16-19와 마찬가지로, 제 5 절연막(21)과, 제 3 금속매립층형배선(22), 제 6 절연막(23) 및, 3층째의 저저항배선(24)이 형성되어 있다. 따라서 3층의 배선구조가 완성되는 바, 이 구조를 반복함으로써 5층, 10층의 다층배선도 형성할 수 있게 된다.

제 2 도는 상기 다층배선구조의 제조공정을 나타낸 단면도로서, 먼저 제 2 도a에 나타난 바와 같이, 소자가 형성되는 반도체기판(10)상에 제 1 절연막(11)을 형성하고, 콘택트부분의 절연막(11)을 개구한 다음 금속살리사이드(12)를 선택CVD법에 의해 형성하며, Cu등의 제 1 금속매립층형배선(13)을 선택CVD법으로 형성한다.

다음에 제 2 도b에 나타난 바와 같이, 선택CVD법에 의해 SiO₂막(14 ; 제2절연막)을 절연막(11)상에만 형성한다. 그후 제 2 도c에 나타난 바와 같이 절연막(14)의 배선이 필요한 부분에 리소그래피와 에칭기술에 의해 창(窓)의 형성을 수행한다.

이어 제 2 도d에 나타난 바와 같이 배선구성금속원자 또는 분자를 이온화한 상태에서 이방성CVD법에 의해 Cu등의 제 1 저저항배선층(15)을 형성한다. 이어 제 2 도e에 나타난 바와 같이 불필요한 부분의 배선층(15)을 에칭백법(경면연마법, 레지스트등의 평탄화제를 이용한 반응성 이온에칭) 또는 리프트오프법(lift-off法)으로 제거해서 원하는 부분에만 배선을 남겨둔다. 이어 제 2 도f에 나타난 바와 같이 선택 CVD법에 의해 SiO₂막(16; 제 3 절연막)을 절연막(14)상에만 선택성장시킨다.

이어 제 2 도g에 나타난 바와 같이 Cu등의 금속매립배선(17a, 17b, 17c)을 선택CVD법으로 형성한후, SiO₂가 퇴적되지 않은 부분의 금속매립배선층의 표면, 여기서 배선층(17b, 17c)의 표면을 10~20nm로 산화한다. 이 산화는 산소이온빔을 주사시켜 수행해 되고, 리소그래피공정에서 산소를 전면적으로 이온주입하던가 산화에 견디는 마스크를 형성한 후에 산화해도 된다.

다음에 제 2 도h에 나타난 바와 같이, 선택CVD법에 의해 SiO₂(18; 제 4 절연막)를 절연막(16)상에만 선택성장시킨다. 이어 제 2 도i에 나타난 바와 같이, 절연막(18)의 불필요한 부분을 리소그래피와 에칭기술로 제거한다. 그후, 제 2 도j에 나타난 바와 같이 Cu등의 제 2 저저항배선(19)을 이방성 CVD법으로 형성한다. 그리고, 제 2 도k에 나타난 바와 같이 동도e의 공정과 마찬가지로 에칭을 하다가 리프트오프에 의해 원하는 부분만 배선을 남겨둔다.

이후, 21~24의 제조는 층(16-19)의 형성공정과 마찬가지로 해서 수행할 수 있고, 또 이방성CVD법은 패턴형상에 의해 선택CVD법으로 치환하는 것도 가능하다.

한편, 다층배선구조는 다음과 같이 형성할 수 있다. 제2-1도는 그 형성방법을 설명하기 위한 것으로, 이방성막을 이용해서 형성한 자기정합의 2층배선구조의 경우를 나타낸다. 여기서 아래부분의 절연막(11) 상에 배선을 형성할 도랑(15m)을 설치한 절연막(14)을 형성하고, 이어 배선재료(Si, Cu/TiN, Cu/Nb)층등을 이방성CVD로 퇴적한다. 그 결과 제 1 저저항배선층(15a)과 제 2 저저항배선층(15b)이 형성된다. 이 배선구조의 이점은 제 1 저저항배선층(15a)과 제 2 저저항배선층(15b)이 자기정합으로 형성되어 있고, 배선층간의 거리가 절연막(14)의 두께로 결정될 수 있다는 점이다. 또 배선층간에 오버랩이 없기 때문에 배선층간의 배선용량이 절감될 수 있다. 더욱이 제 2 저저항배선층(15b)과 기판(도시되지 않았음)의 콘택트는 제 2 저저항배선층(15b)의 일부 및 바로 아래의 절연막(14)의 부분에 개구부를 설치하고, 절연막(11)에 매립된 콘택트 플러그 상면을 노출시킨 후, 콘택트플러그를 선택CVD법으로 매립하면 된다. 즉, 미리 전체면에 절연막을 피착하고, 이어 상기 절연막과, 제 2 저저항배선층(15b) 및, 절연막(14)에 개구부를 설치하고, 이 개

구부에 콘택트를 형성할 때 합하면 된다.

이 방법을 이용하면, 1회의 리소그라피에 의해 2층의 배선패턴을 형성할 수 있어 리소그라피공정을 단순할 수 있게 된다.

또, 형성되는 절연막과, 무형상(無形狀)을 계단상으로 함으로써 2층 이상의 배선패턴을 동시에 형성할 수 있게 된다.

제 3 도a는 절연막의 가이드를 갖춘 개구부에 이방성 CVD 또는 선택 CVD로 배선을 형성한 경우 0.1 μ m의 배선 패턴형상을 나타낸다. 이는, 상면(31)과 하면(32)만이 아니고 측면(33)도 절연막으로 에워싸이기 때문에 평탄하게 된다. 제 3 도b는 종래의 포토리소그라피와 금속 RIE 또는 이온밀링으로 형성한 0.1 μ m의 패턴형상을 나타낸다. 이는 에칭의 불균일성 때문에 측면(33)을 평탄하게 되지 않고, 예컨대 0.01~0.03 μ m의 요철이 발생되고, 또 참조부호 35에 나타난 바와 같은 노치도 발생되기 쉽다. 여기서 에칭에 의해 형성된 배선 패턴보다도 절연막의 개구부에 매립형성된 배선패턴이 평탄한 형상을 나타내고 있는 것은 금속에 비해 절연막의 쪽이 양호하게 에칭될 수 있기 때문이다.

제 4 도a는 이와 같은 자기정합공정을 이용해서 소자형성영역상에 배선을 형성한 경우를 나타낸 것으로, 제 4 도b와 달리 콘택트홀(42, 44, 45)의 부분은 일치여유가 불필요하기 때문에 배선쪽의 팽창이 없게 된다. 이 때문에 배선간의 공간이 넓어지면서 배선용량이 감소하기 때문에 배선지연시간의 단축이 유효하고, 또 배선간의 크로스토크도 억제된다. 또 이들의 문제로 되지 않는 경우에는 배선간의 공간이 보다 적게 축소되기 때문에 배선폭을 크게 할 수 있게 된다. 그 결과 배선저항은 저하되어 스트레스미그레이션과 같은 미세화에 따른 신뢰성의 열화를 억제할 수 있게 되어 고성능화 및 고밀도화가 도모된다.

제 5 도는 본 발명의 제 2 실시예를 설명하기 위한 것으로, 기판(Si)를 침식시키지 않고서 선택적으로 Si 상에 금속실리사이드를 퇴적한 경우의 MOSFET단면도이다. 이 MOSFET을 제공하는 데에는 반도체기판(50)상에 소자분리를 절연막(51) 및 게이트산화막(52)을 형성하고, 이 위에 다결정실리콘층(53), TiN 층(53), W 도는 Cu 층(53)으로 이루어진 게이트전극(53)과 캡층 절연막(54)을 형성한다. 이어, 50nm이하의 분순을 확 산층(55)을 형성하고, 측벽절연막(57)을 형성한 후, Si 상에 금속실리사이드(59)를 선택적으로 형성한다. 이후 고농도분순확산층(56)을 형성한다. 이와 같은 구조의 MOSFET에서는 소자분리를 절연막(51)과 확산 층(55, 56)의 각 영역이 패턴의 2차원적인 도출없이 형성되어 있고, 금속실리사이드(59)는 Si기판의 침식 없이 형성되어 있기 때문에 극히 얇은 p^+/n 또는 n^+/p 접합형성이 가능하게 된다. 확산층, 소자분리층의 산화에는 1~100eV 정도의 낮은 에너지의 도펀트분순을 이온이나 산화종이온(oxidizing ion)을 이용해서 기판에 가 열하고, 바이어스를 가하면서 수행함으로써 실현할 수 있다.

다음에 본 발명을 CMOS트랜지스터의 제조에 적용한 제 3 실시예를 설명한다.

먼저, 제 6 도a에 나타난 바와 같이 Si(100) P형 5-10 Ω cm의 기판(60)에 300nm의 SiO_2 막(61)을 열산화로 형성한다. 이어 제 6 도b와 같이 사이트개공부를 설치하고, 개공부내의 Si 노출표면의 자연산화막을 습식 또는 건식처리에 의해 제거한다. 이와 동시에 품질이 양호한 막을 얻기 위해 Si표면을 H로 곁합시키고, SiH_4 를 이용해서 LPCVD법으로 제 6 도c와 같이 단차피복성이 양호한 100nm의 아몰퍼스 Si막(62)을 형성한다. 아몰퍼스 Si의 형성조건은 500~550 $^{\circ}\text{C}$ 로 되는 고밀도의 막으로 되도록 온도를 설정한다. 이 조건하에서는 시트부에서 에피택셜성장이 야기된다. SiO_2 상에 횡방향성장시키는데에는 500~550 $^{\circ}\text{C}$ 에서 산화가 2ppb 이하인 Ar중에서 8시간의 열처리를 수행하고, 이어 900~100 $^{\circ}\text{C}$ 에서 고온어닐을 수행하여 고밀도화한다.

다음에 제 6 도d와 같이 LPCVD법으로 10nm의 SiO_2 막(63)과 90nm의 Si_3N_4 막(64) 및 레지스터패턴(64a)을 형성한다. 이때 마스크일치는 그다지 일치밀도가 엄격하지 않아도 된다. RIE에 의해 Si_3N_4 막(64)을 에칭해서 레지스트를 제거한 것이 제 6 도e이다. 이후, 필드이온주입에 의해 p-ch트랜지스터형성영역에는 인(P)을, n-ch트랜지스터형성영역에는 보론(B)을 $10^{17}/\text{cm}^2$ 로 도우핑한다.

다음에 기판온도를 900 $^{\circ}\text{C}$ 로 설정하고, 기판바이어스를 +50V로 해서 O_2^- 또는 H_2O^+ 와 O^- 또는 O_2^+ 와의 혼합 이온법(1~100eV)을 조사하여 제 6 도f와 같이 이방적으로 산화하여 SiO_2 막(65)을 형성한다.

한편, 산소의 부이온(負ion)은 산소프라즈마의 인출부에 알칼리금속(예컨대, Rb, Cs, Li 등)을 증발시키면, 알칼리금속은 그 자체가 정이온(正ion)으로 되기 쉽기 때문에 전자를 산소에 가해 O^- , O_2^- , H_2O^+ 이온이 증가한다. 또, F와 같이 산소보다 부이온으로 되기 쉬운 가스를 산소프라즈마 인출부에서 증발시키면, 산소로부터 전자를 탈취하여 O^- , O_2^- , H_2O^+ 이온이 증가한다. 따라서 정(正)으로 대전된 H_2O^+ , O^+ 또는 O_2^+ 와의 혼합이온빔을 이용해서 기판에 부(負)의 바이어스를 인가해도 된다. 또, 여기에서는 이방성 화에 의해 이산화 Si막(65)을 형성하여 소자분리를 수행하고 있지만, 이방성 화에 의한 소자분리를 수행하여도 된다. 이 경우에는 다음과 같이 하면 된다. 즉, NH_3 등의 가스를 도입하고, 상기한 방법을 이용하는 등 해서 이 가스 분자에 정 또는 부의 전하를 인가하여 기판에 바이어스를 가한다. 이에 따라, 이방적으로 질화Si막을 형성할 수 있게 된다.

그후, 채널이온주입에 의해 p-ch영역(62)에 인을, n-ch영역(62)에 보론을 $10^{17}/\text{cm}^2$ 까지 도우핑한다. 이때 거의 동일하게 기판 정 또는 부바이어스를 인가해서 도우핑을 수행하면, 이방성의 도우핑이 될 수 있어 기판에 수직방향으로 우선적으로 확산될 수 있게 된다.

이어, 게이트전극의 반전패턴의 레지스트마스크(도시되지 않았음)를 이용해서 제 6 도g와 같이 게이트전극 형성영역의 질화Si막(64)을 제거한 다음 동도h와 같이 50nm의 비정질 또는 다결정Si(인농도 $1 \times 10^{20}/\text{cm}^3$)막(66), 10nm의 TiN막(67), 100nm의 W막(68)을 이방성 CVD로 형성한다.

이때, 이방성 CVD의 조건은 다음과 같다.

· 비정질 또는 다결정 Si(인농도 $1 \times 10^{19} \text{cm}^{-3}$)막(66)의 경우 ;

압력 : $2-4 \times 10^{-4} \text{Torr}$

온도 : $100-200^\circ\text{C}$

가판바이어스전압 : $-60 \sim -80\text{V}$

사용하는 가스 : SiH_4 (30SCCM)와 PH_3 (5~10SCCM)의 혼합가스를 이용한다.

TiN막(67)의 경우 ;

압력 : $2-4 \times 10^{-4} \text{Torr}$

온도 : 250°C

가판바이어스전압 : $-60 \sim -80\text{V}$

사용하는 가스 : $\text{Ti}\{\text{N}(\text{C}_2\text{H}_5)_3\}_4$ 가스 [H_2 (30SCCM)를 90°C 의 버블러를 통해 N_2 (10SCCM)과 함께 공급] 가스로 이용한다.

또한 TiCl_4 (3~5SCCM), N_2 (5~10SCCM) 및 H_2 (10~20SCCM)의 혼합가스를 이용해도 된다. 여기서, TiCl_4 는 $80-90^\circ\text{C}$ 로 가열한다.

· W막(68)의 경우 ;

압력 : $2-4 \times 10^{-4} \text{Torr}$

온도 : 실온~ 100°C

가판바이어스전압 : $-60 \sim -80\text{V}$

사용하는 가스 : WF_6 (10SCCM)과 H_2 (30~40SCCM)의 혼합가스를 이용한다.

이와 같은 조건에서는 전자이온이 존재하는 하전공간(荷電空間)이 형성된다.

저전원전압의 대응으로서는 다결정 Si를 인도우프(불순물을 첨가하지 않음)로 형성하고, p-채널영역에는 붕소, n-채널영역에는 인 또는 비소를 10^{17}cm^{-3} 의 농도로 도우핑한다. 도우핑은 레지스트등의 마스크를 이용해서 $10-100\text{eV}$ 의 B^+ , As^+ , P^+ 등의 이온빔, 또는 B_2H_6 , AsH_3 , PH_3 등을 이용한 기상확산으로 수행하여도 되고, 마스크를 이용하지 않고서 이온빔을 직접 조사하여 수행하여도 된다.

다음에 드라이에칭으로 질화 Si 막(64)을 박리하고, 질화 Si 막(64)의 에칭되는 습식에칭, 예컨대 인산계의 혼산(混酸)을 이용해서 수행하여도 된다. 이때 다결정 Si, TiN, W막은 동시에 리프트오프되어 제 6 도 I와 같이 된다.

제 6 도 I에서는 p-채널영역에 $20-30\text{nm}$ 두께로 $10^{18} \sim 10^{19} \text{cm}^{-3}$ 의 농도의 붕소확산층(69), n-채널영역에 $20-30\text{nm}$ 두께로 $10^{18} \sim 10^{19} \text{cm}^{-3}$ 의 농도의 비소확산층(70)을 형성하고 있다. 이때에도 상기한 이방성 확산을 이용해서 도우핑을 수행한다.

다음에 800°C 드라이산소중에서 20~30분의 후산화를 수행하여 제 6 도 I와 같이 SiO_2 막(71)을 형성한다. 이때 W가 산화되지 않도록 $\text{H}_2/\text{H}_2\text{O}$ 혼합가스를 질소화석한 분위기중에서 행하면, TiN도 분해되지 않으면서 산화되지 않는다. 이어 60nm 의 질화 Si 막을 LPCVD로 형성해서 에칭에 의해 게이트측벽에만 질화 Si 막(72; Si_3N_4)을 남겨둔다.

이어 소오스·드레인상의 SiO_2 막(71)을 제거해서 제 6 도 k에 나타낸 바와 같이 100nm 의 금속실리사이드(73)를 선택성장시킨다. 이 금속실리사이드로서는 Ni실리사이드(NiSi , NiSi_2), TiSi_2 , CoSi_2 등 어느 것이라도 선택성장이 가능하다. 이때 Si 기판표면의 청정화(淸淨化)가 극히 중요하고, 선택성장직전에 $\text{SF}_6/\text{H}_2\text{O}$, $\text{NF}_3/\text{H}_2\text{O}$ 계의 드라이에칭에 의해 자연산화막의 SiO_2 를 에칭제거하는 것이 필요하다.

Si 기판표면의 청정화를 수행하는 부분(예비실)은 실리사이드막 퇴적실의 직전에 설치하고, 크리닝조건은, 예컨대 $\text{SF}_6/\text{H}_2\text{O}$ 를 분압비 1의 조건으로 예비실에 도입해서 압력을 $0.1-10\text{Torr}$ 로 한다. 2.4MHz 의 마이크로파를 이용해서 프리즈마방전을 일으켜 방전부로부터 떨어진 곳의 반도체기판상에 수송한다. 이때 반도체기판상의 SiO_2 를 선택적으로 에칭할 수 있게 되는 바, 에칭속도는 $5\text{nm}/\text{min}$ 이다. 다음에 기판을 실리사이드 CVD실에 수송한다. 여기서 실리사이드선택성장에 이용되는 가스는 Si의 소오스가스의 금속의 소오스가스 및 캐리어가스이다.

Si는 소오스가스로서는 SiH_4 , SiH_2 , Si_2H_6 , SiCl_4 이고, 금속의 소오스가스는 Ni의 경우 예컨대 $\text{Ni}(\text{Co})_2$, NiF_2 , NiBr_2 , NiCl_2 가 있다. 또, Co로는 $\text{Co}(\text{CO})_2$, CoF_2 , CoBr_2 , CoCl_2 가 있고, Ti로는 TiCl_4 , TiBr_4 , TiBr_3 등이 있다. 카르보닐계는 증기압이 높고 독성이 강해 취급하는데 주의를 요하고, 할로겐계는 증기압이 낮으므로 배관과 챔버에서 용고되지 않도록 히터가열을 할 필요가 있다.

여기서는 $\text{Co}_2(\text{CO})_8$, 또는 $\text{Ni}_2(\text{CO})_8$, ($0.01-10\text{SCCM}$) SiH_4 ($0.1-10\text{SCCM}$)를 소오스가스로서 이용하였고,

Ar(10~100SCCM)을 캐리어가스로서 이용하였으며, 또 희석용 가스로서 H_2 (10~100SCCM)을 이용하였다. 기판의 온도는 200~400°C에서 총압력이 1~100Pa로 하였다. 이러한 조건하에서 $CoSi_2$, 또는 $NiSi_2$ 의 퇴적속도는 10nm/min정도이었고, 퇴적되는 두께는 100~200nm로 하였으며, 700~800°C마닐후에 시미트저항은 각각 0.75~1.5 Ω/\square , 1.8~3.5 Ω/\square 이었다. 그후, p-층영역의 실리콘사이드에는 보론을 도우프하고, n-층영역의 실리콘사이드에는 인 또는 비소의 도우프를 수행하며, 동시에 레이저빔 또는 전자빔등의 에너지빔을 조사하거나 램프가열을 수행하여 Si기판에 10^{17} ~ $10^{19}cm^{-3}$ 의 농도로 되도록 불순물을 도우핑해서 p-확산층(69a)과 n-확산층(70a)을 형성한다. 도우핑은 레지스트등과 같은 마스크를 이용해서 이온빔 또는 기상확산으로 수행해도 되고, 마스크를 이용하지 않고서 이온빔을 직접 조사해도 된다.

다음에 제 6 도 e와 같이 μm 의 절연막(74)을 (VI)로 퇴적해서 개공부를 설치한 후 웨플렉(75)을 선택 성장시킨다. 웨플렉(75)은 LPCVD법에 의해 WF_6 와 H_2 및 SiH_4 를 이용해서 전체압이 0.1~10Torr에서 선택성장할 수 있다. 여기서 길이가 다른 콘택트홀이 아래 부분에 존재할 경우, 길이 부분을 완전히 매립해서 평탄하게 하면, 얇은 부분이 오버플링되어 콘택트홀로부터 가득차 넘치게 된다. 이 경우 F를 포함한 가스, 예컨대 CF_4 , NF_3 , SF_6 와 같은 가스와 O_2 를 이용해서 플라즈마를 형성하고, 플라즈마로부터 떨어진 곳에 기판을 세트하여 웨플의 에칭속도가 반응가스의 공급압속으로 되도록 N_2 로 희석해서 압력 0.3~10Torr의 범위에서 웨플에칭한다.

이와 같이 하면, 반응가스에 대해 입체각이 큰 오버플링 된 웨플이 고속으로 에칭되어 표면이 평탄화된다.

그후, 웨플렉(75)의 표면에 500W의 RF를 이용해서 N_2 플라즈마중에 약 5nm의 질화막을 형성해 둔다.

다음에 제 6 도 f와 같이 절연막(74)상에 절연막(76)을 선택성장시키고, 그 윗면을 불활성화해서 절연층(77)을 형성한다.

여기서 절연막(74)은, 예컨대 SiO_2 의 경우 전기음성도의 차가 크기 때문에 극성이 있다. 따라서 극성이 있는 분자를 포함한 가스중에 방치해 두면, SiO_2 층상에만 가스분자를 흡착시키는 것이 가능하게 된다. 본 발명에서는 가스로 SiH_4 , N_2O 를 이용해서 압력 0.1~1Torr, 기판온도 400~500°C에서 각각의 가스의 유량비를 1 : 2로 함으로써 WF_6 의 노출부에만 SiO_2 가 성장되는 것을 알 수 있었다. 여기서 퇴적속도는 50nm/min이었다. 예컨대, SiH_4 를 1을 포함한 수용액중에 상기한 기판을 침적하면, SiO_2 층상에만 SiO_2 성장시키는 것이 가능하다. 또, 상기한 SiO_2 대신 $SiCl_4$, $SiCl_3$, $Si(OH)_4$ 등의 극성이 강한 분자를 이용해서 동일한 선택성장을 실현할 수 있다. 또, N_2O 대신 산소라디칼을 도입해도 된다.

또, 절연막(76)의 웨플렉상 이외의 배선형성부는 리소그래피와 에칭으로 제거한다. 이때 마스크일치는 콘택트웨플렉 1개분의 여유가 있기 때문에 일치정밀도가 엄격하지 않게 된다. 또 마스크일치가 있어서 하부 평탄화가 충분히 수행되면, 마스크일치가 곤란하기 때문에, 평탄화 후, 마스크 패를 여분으로 겹쳐 놓고, 일치마크의 영역에서 절연막이 에칭제거되도록 패턴을 형성하면 된다. 이어, 30nm의 TiN (78) 및 400nm의 Co (79)를 이방성 CVD로 형성한다.

그리고, TiN 은 다음과 같이 해서 형성된다. 즉, 수소를 캐리어가스로 이용하고, 디메틸아미노메탄 $Ti[N(C_2H_5)_2]_4$ 가스와 N_2 가스를 이용해서 전자와 이온으로 이루어진 하전공간을 형성하여 기판까지 수송한다. 여기서 수소캐리어가스의 유량은 30SCCM, 질소캐리어가스의 유량은 10SCCM이다. 기판에는 프로필포텐셜보다 부로 바이어스(예컨대 -60~-80V)를 인가하고, 이때 기판온도는 100~250°C이다. Co 는 $HF-A-Cu$, 클루오로아세틸아세톤구리)가스를 이용해서 H_2 함께 하전공간을 형성하고, 기판온도 300°C에서 퇴적하는 것이 가능하며, 기판바이어스조건은 TiN 의 경우와 마찬가지로이다. 이와 같이 TiN 및 Co 는 결정배향[111]을 갖는다.

이어, 기판을 최불산($HF : H_2O = 1 : 100$)에 담그는데, 이때 수용액중의 산소농도는 1ppm 이하로 저하시켜 Co 가 산화되지 않도록 한다. 여기서 최불산에 담그면 77의 총이 에칭속도가 크기 때문에 그 위의 TiN (78)과 Co (79)도 함께 리프트된다. 그 결과, 최종구조는 제 6 도(n)과 같이 된다.

2층이상의 다층배선은 제 6 도(e)-(n)을 반복함으로써 형성될 수 있다.

이 방법을 이용해서 트랜지스터를 형성할 경우, 공정수는 10공정만 감소된다.

또, 5층배선까지 형성하면, 본 발명에서는 공정수가 20공정 이상 감소하는 것으로 되어 대폭적인 비용절감이 될과 동시에 지금까지 에칭이 곤란하였던 Co 나 W 를 최초로 Ag, Au초전도막도 초미세배선으로서 이용하는 것이 가능하게 된다.

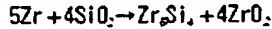
또, 콘택트상에 클리어런스 없이 배선을 자기정합으로 형성할 수 있기 때문에 배선간의 공간을 축소할 수 있게 되어 집적도가 향상된다. 그리고, 배선간의 공간을 축소하지 않는 경우는 인접하는 배선간의 용량이 감소하기 때문에 배선기연시간이 단축되어 고속화가 도모된다.

본 실시예에서는 전극·배선패턴을 형성하는 데에 이방성CVD 및 리프트오프를 이용해서 수행하였지만, 선택성장법을 이용해서 수행하여도 모두 동일한 패턴형성이 가능하다. 또, 본 실시예에서는 MOS트랜지스터의 활성층으로서 Si산화막상의 황방향 에피택셜성장층을 이용해서 설명하였지만, 고상(固相)에피택셜성장층은 시미트로부터 양측에 성장되기 때문에 성장면이 연결되는 경계면에는 쌍정경계(雙晶境界)가 형성되기 쉽다. 이 때문에 게이트영역은 그 경계면을 회피하도록 형성할 필요가 있다. 트랜지스터의 게이트 바로 아래에 쌍정경계를 형성하지 않기 위해서는 SiO_2 등의 표면층을 결정화해서 그 위에 수직방향 에피택셜성장시키는 방법이 바람직하다.

다음에 제 7 도를 이용해서 SiO_2 표면의 결정화방법을 설명한다.

제 7 도a도에 있어서, Si기판(81)상에 SiO₂(82)를 형성한 후, 동도 b에 나타난 바와 같이 F⁺이온(83)을 이온주입한다. 이 주입은 표면층에 고농도로 분포하도록 1~10KeV에서 $1 \times 10^{18} \sim 10^{20} \text{ cm}^{-2}$ 조건으로 수행한다. 다음에 400℃ 이상의 열처리를 수행하던가 에너지빔을 조사함으로써 전기음성도가 플팅스케일에서 4.0으로 큰 F가 0와 치환 되어 결합의 재구성이 야기된다. 이렇게 하면, SiO₂의 표면층의 이온결합성이 강해져 결정화가 용이하게 되어 제 7 도c에 나타난 바와 같이 크리스탈바라이드(84)가 형성된다. F를 도입시키지 않고서 산소가 존재하는 분위기중에서 1100℃를 넘는 고온으로 열처리 또는 에너지빔을 조사해도 SiO₂막 표면의 결정화가 야기되지만, 전기음성도가 큰 원소를 첨가하면, 결정화가 가속됨으로써 큰 단결정이 형성된다. 이와 같이 해서 형성된 단결정상에는 배소재료인 Si이나 Cu로 배합성을 갖추고, 종착, 스퍼터, CVD 등에 의해 퇴적할 수 있게 된다.

제 8 도는 SiO₂표면에 단결정을 성장시키는 별도의 방법을 설명하기 위한 도면으로, 제 8 도a에 있어서, Si기판(81)상에 SiO₂막(82)을 형성한 후, 동도b에 나타난 바와 같이 20nm의 Zr막(85)과 SiO₂막(82)이 다음과 같은 반응을 일으킨다.



그리고, SiO₂막(82)상에 ZrSi₄(86)가 결정화되고, 그 위에 ZrO₂(87)가 양호한 정합성으로 성장된다.

이와 같이 해서 형성된 Zr₅Si₄상에 직접 Zr₅Si₄나 ZrSi₄를 형성한 경우에 비해 결정성이 좋고, 그 위에 성장되는 ZrO₂의 단결정화가 가능하게 된다.

이상 설명한 바와 같이 표면을 단결정화한 절연막 상에는 Si의 수직방향의 에피택셜성장이 가능하게 되고, 성장하게 될 Si막은 100nm이하의 초박막으로 하면 소자의 성능향상에 극히 유효하다.

100nm 이하의 초박막에서는 드레인단의 공핍층이 아래방향 및 게이트방향으로 연장되어 있기 때문에 게이트길이가 0.1μm 이하로 되어도 펀치드루우가 일어나지 않는 트랜지스터를 형성할 수 있다. 또, 0.1μm 이상의 게이트길이의 트랜지스터에는 Si기판을 이용해도 되고, Si기판을 이용해서 형성하는 경우에는 제 6 도 a-c의 공정 및 엄격한 마스크일치에서는 없지만, 제 6 도에 있어서 레지스트패턴(65)과 이산화Si막(61)의 마스크일치가 1회 생략된다.

또, 평탄화공정에서 아래 부분의 평탄화가 양호하게 되면, 마스크일치시에 일치마크의 검출이 곤란하게 되기 때문에 일치마크의 영역의 절연막을 제거해서 그 영역내의 금속을 도출시키는 등 콘트라스트를 불입 필요가 있다. 예컨대 금속층형성후 거칠은 마스크일치에 의해 일치마크의 영역전체를 노출할 레지스트마크 패턴을 형성하고, 일치마크의 영역전체의 절연막을 0.1~0.3μm정도 에칭하면 된다. 에칭에는 NF₃와 같이 습식의 에칭을 이용하던가 또는 SF₆/H₂계의 드라이에칭을 이용해도 된다.

[발명의 효과]

상기한 바와 같이 본 발명에 의하면, Si의 이방성 산화, 불순물의 이방성 확산, 금속실리사이드의 선택성장, 금속막 및 다결정Si막의 이방성 선택성장, 절연막의 이방성 선택성장등의 선택성 또는 이방성의 프로세스기술을 구사함으로써 공정수의 단축에 의해 비용절감, 고정밀도마스크일치의 불필요, 도출 없는 패턴 형성, 에칭이 곤란한 재료의 사용가능성 및, 그에 수반하는 소자의 고속화, 고밀도화, 신뢰성향상등에 극히 큰 효과를 얻을 수 있다.

(57) 청구의 범위

청구항 1

기판상에 개구부를 갖춘 제 1 절연층을 형성하는 공정과, 상기 개구부내에 선택적으로 도전층을 형성하는 공정, 상기 제 1 절연층상에 선택적으로 제 2 절연층을 형성하는 공정, 상기 제 2 절연층을 패턴닝하는 공정 및, 패턴닝에 의해 형성된 제 2 절연층의 개구부에 상기 도전층과 전기적으로 접속되는 내부배선층을 형성하는 공정을 구비하여 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 2

제 1 항에 있어서, 상기 제 2 절연층의 형성이 선택CVD법에 의해 이루어지도록 된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 3

제 1 항에 있어서, 상기 제 2 절연층의 형성이 방향성 선택CVD법에 의해 이루어지도록 된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 4

제 3 항에 있어서, 상기 방향성 선택CVD법이 공급가스로서 극성화합물가스를 이용하도록 된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 5

제 1 항에 있어서, 상기 제 1 절연층 및 상기 제 2 절연층이 SiO₂로 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 6

제 5 항에 있어서, 상기 극성화합물가스가 SiH_4Cl_2 와 SiCl_4 , SiCl_3 , 및 $\text{Si}(\text{OH})_4$ 로 이루어진 군으로부터 선택된 실리콘화합물가스인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 7

제 1 항에 있어서, 상기 제 2 절연층을 형성하는 공정전에 상기 제 1 절연층 및 상기 도전층표면을 $\text{H}_2\text{플라즈마}$ 에 의해 처리하는 공정을 더 구비하여 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 8

제 1 항에 있어서, 상기 도전층을 형성하는 공정이 선택CVD법에 의해 이루어지도록 된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 9

제 1 항에 있어서, 상기 도전층을 형성하는 공정이, 전체면에 방향성 CVD법을 실시한 다음 경면연마를 실시해서 이루어지도록 된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 10

제 9 항에 있어서, 상기 방향성 CVD법이 상기 기판에 바이어스를 인가한 상태에서 수행되도록 된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 11

제 1 항에 있어서, 상기 도전층을 형성하는 공정이 전체면에 방향성 CVD법을 실시한 다음 전체면에 평탄화 재료를 퇴적해서 표면을 평탄화하고, 다시 에칭백을 실시하여 이루어지도록 된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 12

제 11항에 있어서, 상기 방향성 CVD법은 상기 기판에 바이어스를 인가한 상태에서 수행하도록 된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 13

제 1 항에 있어서, 상기 도전층을 형성하는 공정이 상기 제 2 절연층상에 공간층을 형성하고, 전체면에 방향성 CVD법을 실시한 다음 공간층을 제거해서 상기 공간층상의 도전층부분을 리프트오프해서 이루어지도록 된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 14

기판상에 복수의 개구부를 갖춘 제 1 절연층을 형성하는 공정과, 상기 개구부내에 선택적으로 도전층을 형성하는 공정, 상기 도전층중 그 위에 내부배선층이 형성되어야 하는 곳 이외의 도전층 표면을 절연화하는 공정, 상기 제 1 절연층상 및 표면이 절연화된 도전층상에 선택적으로 제 2 절연층을 형성하는 공정, 상기 제 2 절연층을 패터닝하는 공정 및, 패터닝에 의해 형성된 제 2 절연층의 개구부에 상기 표면이 절연화되어 있지 않은 도전층과 전기적으로 접속되는 내부배선층을 형성하는 공정을 구비하여 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 15

제 14항에 있어서, 상기 도전층의 표면을 절연화하는 공정이 산소 또는 질소의 이온빔을 상기 도전층의 표면에 조사해서 주사되어 이루어지도록 된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 16

제 14항에 있어서, 상기 도전층의 표면을 산화하는 공정이 마스크층을 매개로 도전층에 산소 또는 질소이온을 주입함으로써 이루어지도록 된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 17

제 14항에 있어서, 상기 도전층의 표면을 절연하는 공정이 내산화성마스크를 매개로 도전층의 표면을 열산화함으로써 이루어지도록 된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 18

기판상에 개구부를 갖춘 제 1 절연층을 형성하는 공정과, 상기 개구부내에 선택적으로 제 1 도전층을 형성하는 공정, 상기 제 1 절연층상에 선택적으로 제 2 절연층을 형성하는 공정, 상기 제 2 절연층을 패터닝하는 공정 및, 방향성CVD법에 의해 상기 제 1 절연층 및 제 2 절연층의 상면을 각각 제 2 도전층 및 제 3 도전층을 형성하는 공정을 구비하여 이루어진 것을 특징으로 하는 반도체장치의 제조방법.

청구항 19

기판의 소자분리영역에 방향성이 있는 산화이온의 주입에 의한 방향성 산화에 의해 소자분리용 절연층을 형성하는 공정과, 상기 소자분리용 절연층에 의해 분리된 기판부분에 활성소자를 형성하는 공정을 구비하여 이루어지도록 된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 20

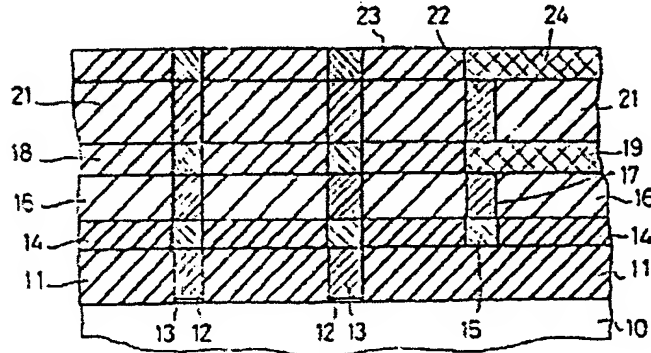
기판(10)과, 이 기판(10)상에 설치된 개구부를 갖춘 제 1 절연층(11), 상기 개구부에 선택적으로 설치된 도전층(15), 상기 제 1 절연층(11)상에 선택적으로 설치된 제 2 절연층(14) 및, 이 제 2 절연층(14)의 개구부에 자기장합으로 설치되면서 상기 도전층(15)과 전기적으로 접속되어 상기 도전층(15)과 접속되는 부분의 폭이 상기 도전층(15)의 컷수와 동일한 내부배선층(13)을 구비하여 구성된 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 21

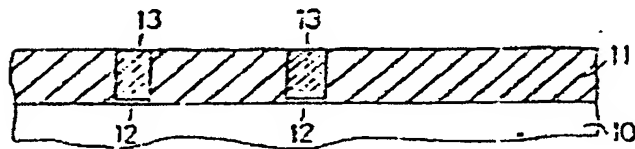
기판의 소자분리영역에 방향성이 있는 질화미온의 주입에 의한 방향성질화에 의해 소자분리용 절연층을 형성하는 공정과, 상기 소자분리용 절연층에 의해 분리된 기판부분에 활성소자를 형성하는 공정을 구비하여 이루어지도록 된 것을 특징으로 하는 반도체 장치의 제조방법.

도면

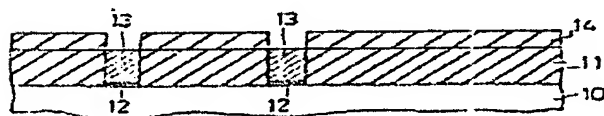
도면1



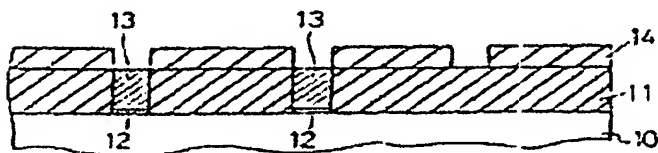
도면2-a



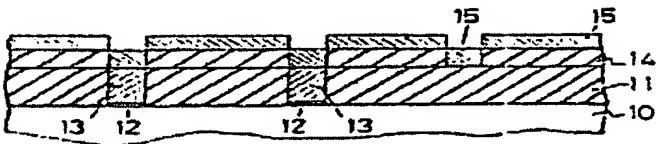
도면2-b



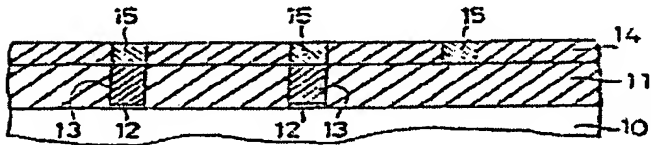
도면2-c



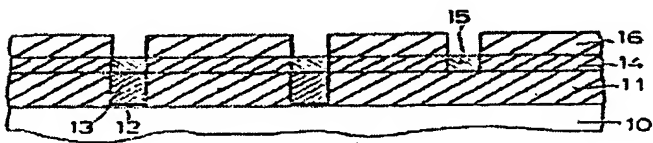
도면2-d



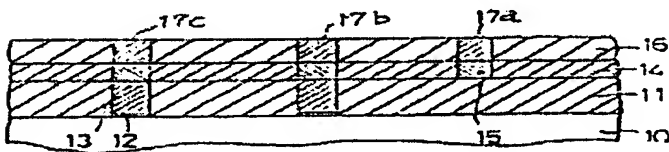
도면2-e



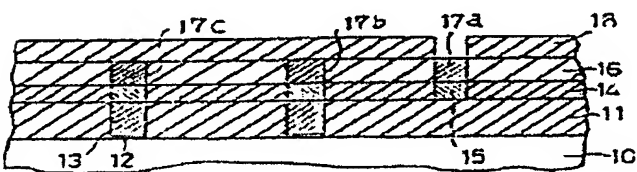
도면2-f



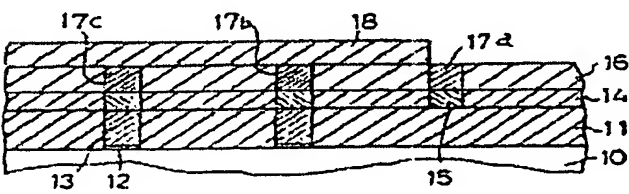
도면2-g



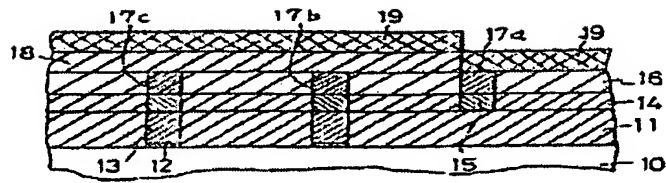
도면2-h



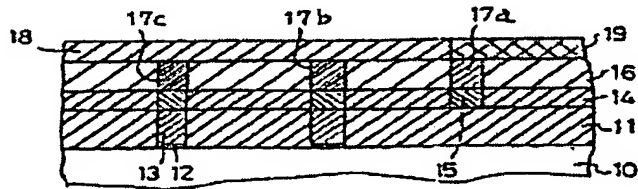
도면2-i



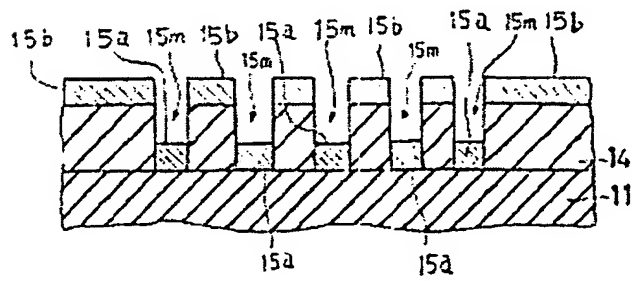
도면2-j



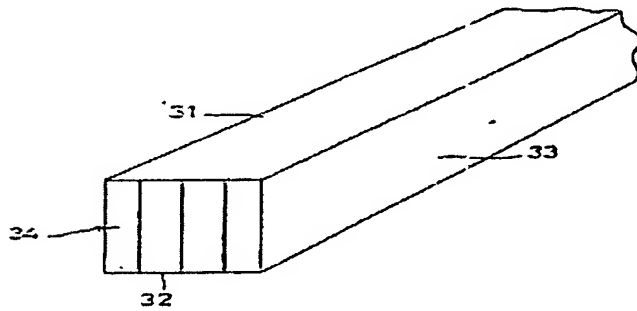
도면2-k



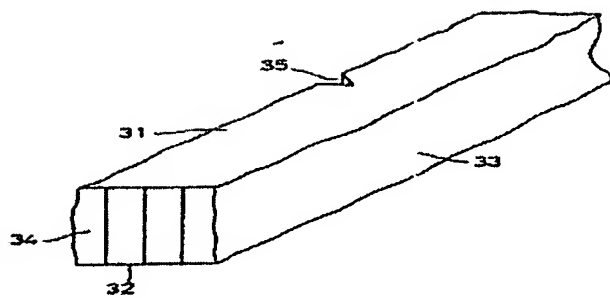
도면2-1



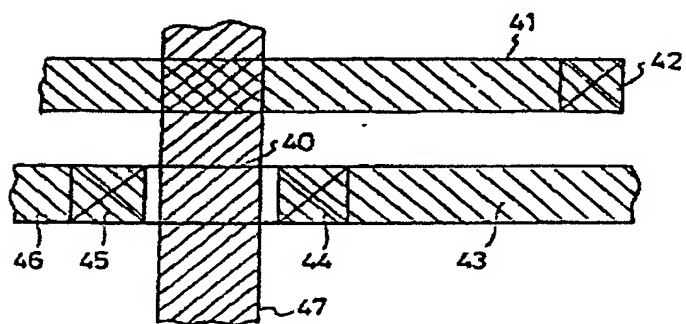
도면3-a



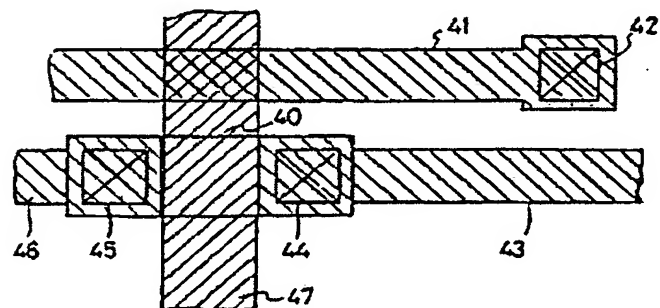
도 3-b



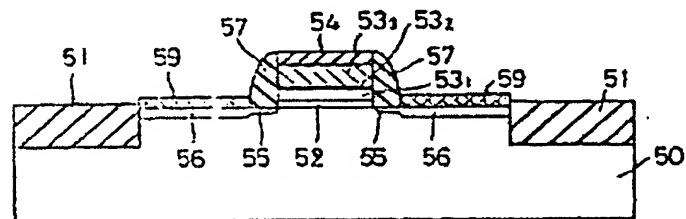
도 4-a



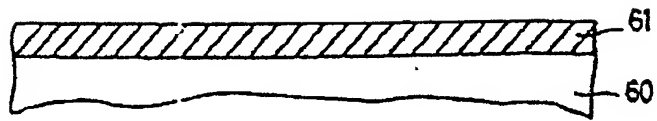
도 4-b



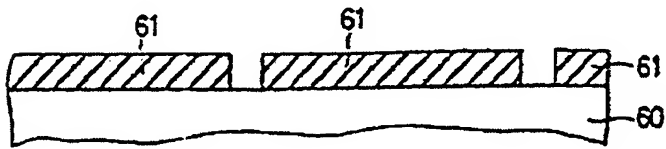
도 5



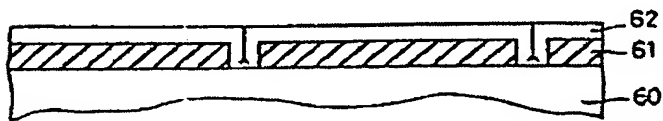
도면-a



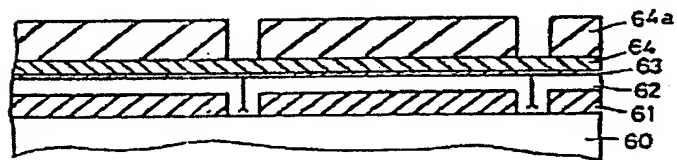
도면-b



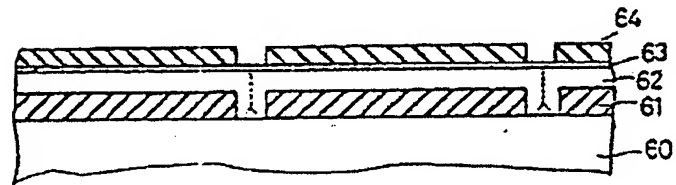
도면-c



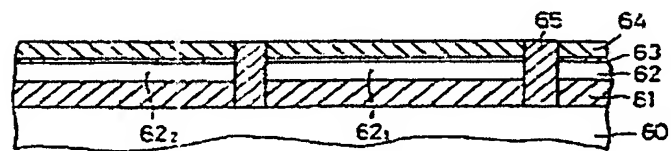
도면-d



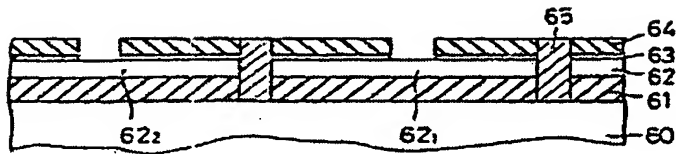
도면-e



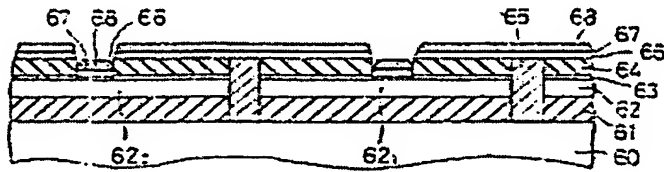
도면-f



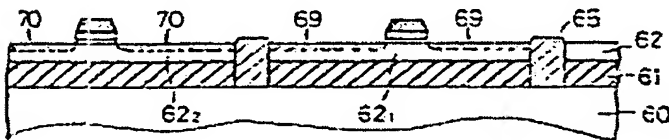
도면g



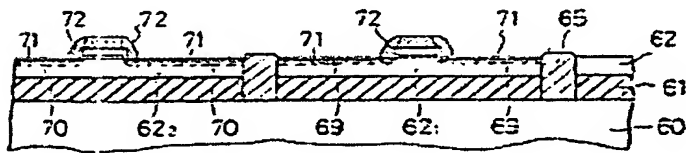
도면h



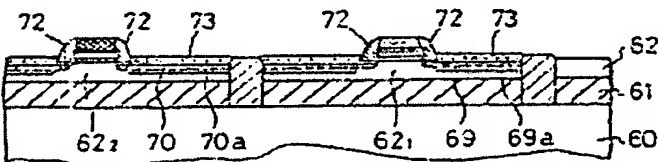
도면i



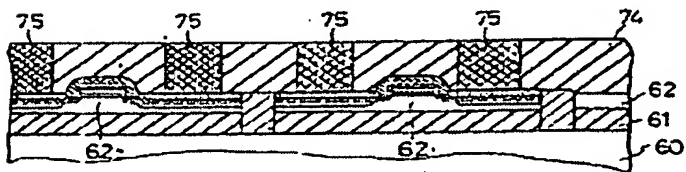
도면j



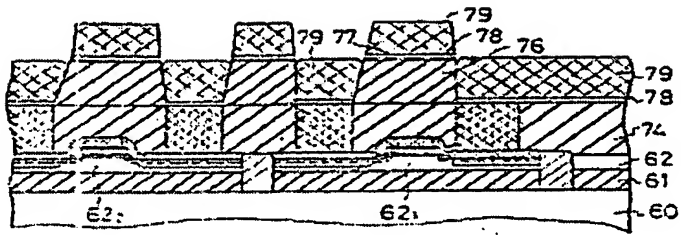
도면k



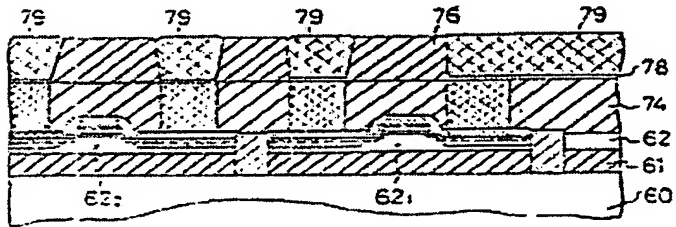
도면l



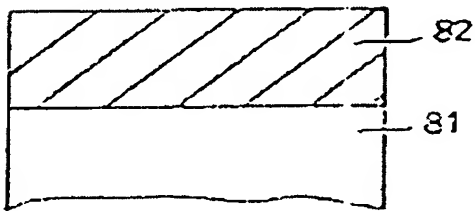
도18-a



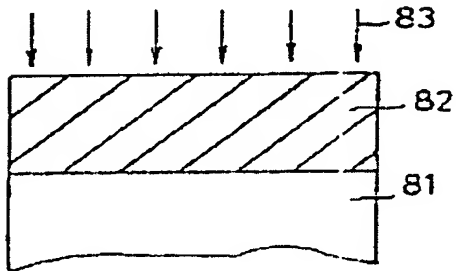
도18-b



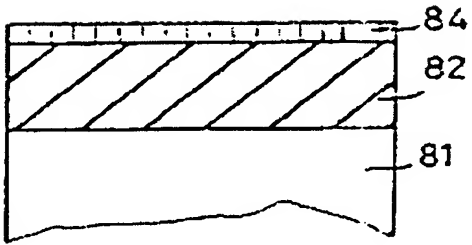
도17-a



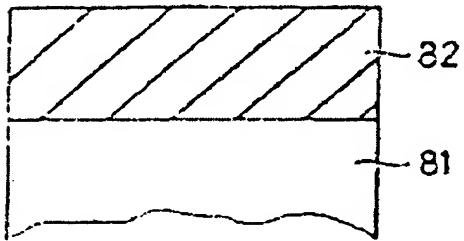
도17-b



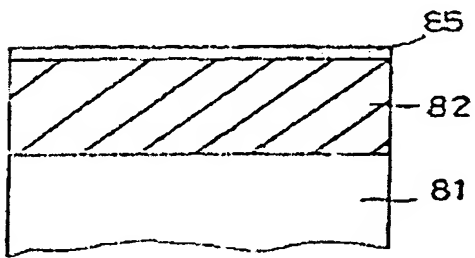
도 87-㉔



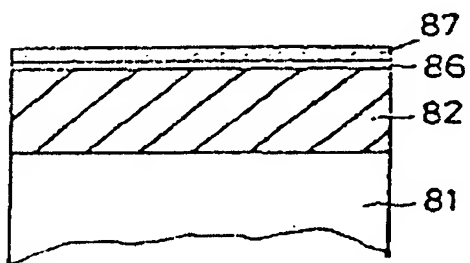
도 88-㉔



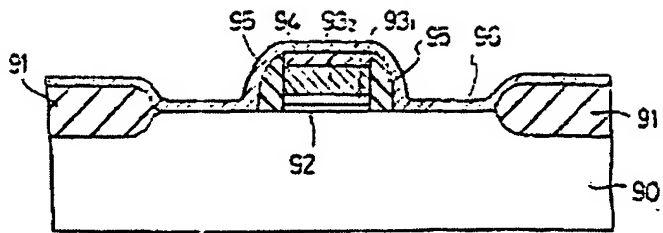
도 88-㉔



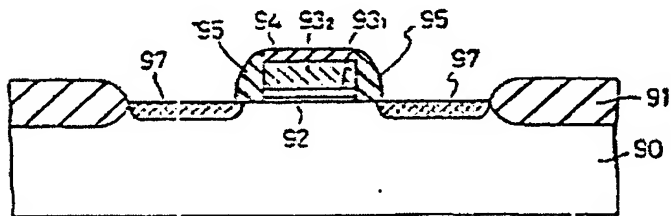
도 88-㉔



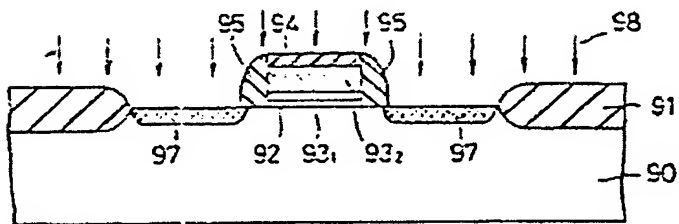
도 19-a



도 19-b



도 19-c



도 19-d

